

20: 배리어층

21: 텅스텐층

22: 캡슐연층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 게이트 형성방법에 관한 것으로, 특히 폴리실리콘층과 금속층이 적층된 게이트의 형성을 단순화함과 아울러 특성을 향상시키기에 적당하도록 한 반도체소자의 게이트 형성방법에 관한 것이다.

일반적으로, 반도체소자의 게이트 길이가 0.25 마이크론(micron) 이하로 줄어들면서 게이트 라인의 저항이 디램(DRAM)의 동작속도를 제한하는 요소로 작용함에 따라 폴리실리콘층 상부에 저항이 작은 금속층을 적층하여 게이트 전극을 형성함으로써, 게이트 라인의 저항에 의한 신호의 지연을 감소시키고 있으며, 가가(Giga)급 디램에 재등장 가능성이 높다. 이와같은 증대 반도체소자의 게이트 형성방법을 첨부한 도1a 내지 도1d의 수순단면도를 참조하여 상세히 설명하면 다음과 같다.

먼저, 도1a에 도시한 바와같이, 격리영역과 웰 형성 및 채널이온 주입이 완료된 반도체기판(1) 상부에 게이트(2), 폴리실리콘층(3), 배리어층(4), 텅스텐층(5) 및 캡슐연층(6)을 순차적으로 형성한 다음 캡슐연층(6)의 상부에 감광막을 도포, 노광 및 현상하여 게이트를 패터닝하기 위한 감광막 패턴(PRI)을 형성한다. 이때, 배리어층(4)은 폴리실리콘층(3)과 텅스텐층(5)의 직접접촉에 따른 미온화산을 방지하기 위해서 통상적으로 WN(텅스텐질화)막을 통해 형성한다.

그리고, 도1b에 도시한 바와같이 격리영역과 웰 형성 및 채널이온 주입이 완료된 반도체기판(1) 상부에 게이트(2), 폴리실리콘층(3), 배리어층(4) 및 텅스텐층(5)을 순차적으로 형성한 다음 캡슐연층(6)의 상부에 감광막 패턴(PRI)을 제거한다.

그리고, 도1c에 도시한 바와같이 상기 감광막 패턴(PRI)을 마스크로 적용하여 하부의 캡슐연층(6), 텅스텐층(5), 배리어층(4) 및 폴리실리콘층(3)을 순차적으로 식각함으로써, 게이트 패터닝을 실시한 다음 감광막 패턴(PRI)을 제거한다.

그리고, 도1d에 도시한 바와같이 상기 패터닝된 게이트의 표면 상에 질화막과 같은 캡슐연막(7)을 형성한 다음 저농도 불순물이온을 주입하여 선택적으로 상기 반도체기판(1) 내에 저농도영역(8)을 형성한다. 이 때, 캡슐연막(7)의 두께는 저농도영역(8)과 게이트가 지나치게 미격되지 않도록 100Å 정도로 제한하여야 하며, 미적지 않을 경우에 소자의 성능 및 신뢰성 악화를 초래한다.

그리고, 도1d에 도시한 바와같이 상기 저농도영역(8)이 형성된 결과물의 상부전면에 절연막을 형성한 다음 선택적으로 식각하여 캡슐연막(7)이 형성된 게이트의 측면에 게이트 측벽(9)을 형성하고, 고농도 불순물이온을 주입하여 선택적으로 상기 저농도영역(8) 내에 소스/드레인(10)을 형성한다.

발명이 이루고자 하는 기술적 효과

그러나, 상기한 바와같은 플래 반도체소자의 게이트 형성방법은 게이트 패터닝미 진행된 다음에 노출된 게이트산화막 표면의 오염을 제거해야 하는데 텅스텐층을 녹이지 않는 세정을 적용하여야 할에 따라 게이트산화막 표면의 오염을 제거하는 텅스텐층을 녹이지 않는 세정을 적용하여야 할에 따라 게이트 전극을 받게 될과 아울러 게이트 표면에 캡슐연막을 형성한 다음 세정을 실시하게 되면, 게이트 가장자리의 세정이 제대로 이루어지지 않는 문제점이 있고, 게이트 표면에 형성되는 캡슐연막을 텅스텐층의 산화문제로 인해 게이트 재산화(re-oxidation)로 형성할 수 없어 공정이 복잡해짐과 아울러 텅스텐층과 폴리실리콘층의 수평방향으로 식각차가 발생하면, 캡슐연막의 형성시에 취약한 영역이 존재하여 반도체소자의 신뢰성이 저하되는 문제점이 있으며, 게이트전극을 폴리실리콘과 텅스텐층의 적층구조로 형성함에 따라 폴리실리콘의 증착두께가 많아지는 것이 요구되는데, 듀얼(dual) 게이트의 피모스 트랜지스터를 형성하는 경우에 많아진 폴리실리콘에 피형이온을 도핑하기 어려워(붕소 판통현상 : boron penetration) 별도의 저에너지를 이용주입장비가 요구되는 문제점이 있었다.

본 발명은 상기한 바와같은 증대의 문제점을 해결하기 위하여 창안한 것으로, 본 발명의 목적은 폴리실리콘층과 금속층이 적층된 게이트의 형성을 단순화하고, 특성을 향상시킬 수 있는 반도체소자의 게이트 형성방법을 제공하는데 있다.

발명의 구성 및 작용

상기한 바와같은 본 발명의 목적을 달성하기 위한 반도체소자 게이트 형성방법은 반도체기판 상에 게이트산화막, 제1폴리실리콘층, 식각저지막 및 제2폴리실리콘층을 순차적으로 형성한 다음 사진식각을 통해 텅스텐층, 저농도영역 및 제1폴리실리콘층의 일부를 식각하여 게이트 패터닝을 실시하는 공정과; 제2폴리실리콘층, 저농도영역 및 제1폴리실리콘층의 일부를 식각하여 게이트 패터닝을 실시하는 공정과; 상기 결과물 상에 게이트 재산화를 실시하고, 저농도 불순물이온을 주입하여 저농도영역을 형성한 다음 상기 결과물 상에 게이트 재산화를 실시하고, 저농도 불순물이온을 주입하여 저농도영역을 형성한 다음 상부전면에 절연막 중첩 및 선택적 식각을 통해 재산화가 실시된 게이트의 측면에 게이트 측벽을 형성하고, 고농도 불순물이온을 주입하여 소스/드레인을 형성하는 공정과; 상기 결과물의 상부전면에 층간절연막을 형성하고, 상기 제2폴리실리콘층이 노출될때까지 평탄화한 다음 제2폴리실리콘층과 식각저지막을 순차적으로 제거하는 공정과; 상기 제1폴리실리콘층 상부에 순차적으로 배리어층과 텅스텐층을 형성하는 공정과; 상기 결과물의 상부전면에 캡슐연층을 형성한 다음 상기 층간절연막이 노출될때까지 평탄화하는 공정을 구비하여 이루어지는 것을 특징으로 한다.

상기한 바와같은 본 발명에 의한 반도체소자의 게이트 형성방법을 첨부한 도2a 내지 도2f의 수순단면도를 일 실시예로 하여 상세히 설명하면 다음과 같다.

먼저, 도2a에 도시한 바와같이 격리영역과 웰 형성 및 채널이온 주입이 완료된 반도체기판(11) 상부에 게이트산화막(12), 폴리실리콘층(13), 식각저지막(14), 폴리실리콘층(15)을 순차적으로 형성한 다음 폴리실

리온층(15)의 상부에 감광막을 도포, 노광 및 현상하여 게이트를 패터닝하기 위한 감광막 패턴(PRI1)을 형성한다. 이때, 식각저지막(14)은 질화막을 증착하여 형성하는 것이 바람직하다.

그리고, 도2a에 도시한 바와같이 상기 감광막 패턴(PRI1)을 마스크로 적용하여 하부의 폴리실리콘층(15), 식각저지막(14) 및 폴리실리콘층(13)을 순차적으로 식각함으로써, 게이트 패터닝을 실시한 다음 감광막 패턴(PRI1)을 제거하고, 패터닝된 게이트의 표면 상에 게이트 재산화(미도시)를 실시한 다음 저농도 불순물 이온을 주입하여 선택적으로 상기 반도체기판(11)내에 저농도영역(16)을 형성하고, 상부전면에 절연막을 형성한 다음 선택적으로 식각하여 게이트 재산화가 실시된 게이트의 측면에 게이트 측벽(17)을 형성한다. 이때, 듀얼 게이트의 피모스 트랜지스터의 경우는 폴리실리콘(15, 13)이 적층된 충분한 두께에서 피형 이온을 도핑할 수 있게 되므로, 별도의 저에너지 이온주입장비가 요구되지 않는다.

그리고, 도2c에 도시한 바와같이 상기 게이트 측벽(17)이 형성된 구조를 상에 고농도 불순물이온을 주입하여 선택적으로 상기 저농도영역(16) 내에 소스/드레인(18)을 형성한 다음 상부전면에 층간절연막(19)을 증착하고, 화학기계적 연마(chemical mechanical polishing : CMP)를 실시하여 폴리실리콘층(15)이 노출될때까지 평탄화 한다.

그리고, 도2d에 도시한 바와같이 상기 노출된 폴리실리콘층(15)을 식각을 통해 제거하고, 계속해서 노출되는 상기 식각저지막(14)을 식각을 통해 제거하여 상기 폴리실리콘층(13)을 노출시킨다.

그리고, 도2e에 도시한 바와같이 상기 폴리실리콘층(13)이 노출된 구조물의 상부전면에 순차적으로 배리어층(20)과 텅스텐층(21)을 형성한 다음 에치-백하여 상기 층간절연막(19) 상에 형성된 텅스텐층(21)과 배리어층(20)을 제거한다.

그리고, 도2f에 도시한 바와같이 상기 결과물의 상부전면에 캡절연층(22)을 형성한 다음 화학기계적 연마를 실시하여 상기 층간절연막(19)이 노출될때까지 평탄화 한다.

불연의 효과

상기한 바와같은 본 발명에 의한 반도체소자의 게이트 형성방법은 게이트 패터닝이 진행된 다음에 텅스텐층이 형성되어 있지 않으므로 게이트산화막의 세정에 대한 공정상의 제한이 없고, 게이트 재산화가 가능하여 취약한 영역을 갖는 캡절연막 형성을 생략할 수 있으며, 캡절연막의 형성에 따른 저농도영역과 게이트의 이격거리가 최소화되고, 층간절연막을 형성한 다음에 텅스텐층을 형성함에 따라 게이트산화막 열화 및 접합 누설 전류 발생을 최소화할 수 있으며, 게이트측벽 및 배리어층이 충분한 두께로 텅스텐층의 측면에 형성됨에 따라 텅스텐층의 미상산화 및 층간절연막의 텅스텐 오염을 방지할 수 있고, 듀얼 게이트의 피모스 트랜지스터를 형성하는 경우에 제1, 제2폴리실리콘층이 적층되어 충분한 두께를 확보한 상태에서 피형 이온을 도핑한 다음 상부의 제2폴리실리콘층을 제거함에 따라 별도의 저에너지 이온주입장비가 요구되지 않게 되어 공정 단순화, 제조단가 절감 및 소자 신뢰성 향상에 기여할 수 있는 효과가 있다.

(5) 청구의 범위

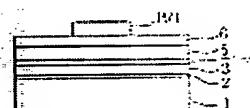
청구항 1. 반도체기판 상에 게이트산화막, 제1폴리실리콘층, 식각저지막 및 제2폴리실리콘층을 순차적으로 형성한 다음 사진식각을 통해 제2폴리실리콘층, 식각저지막 및 제1폴리실리콘층의 일부를 식각하여 게이트 패터닝을 실시하는 공정과; 상기 결과물을 상에 게이트 재산화를 실시하고, 저농도 불순물이온을 주입하여 저농도영역을 형성한 다음 상부전면에 절연막 증착 및 선택적 식각을 통해 재산화가 실시된 게이트의 측면에 게이트측벽을 형성하고, 고농도 불순물이온을 주입하여 소스/드레인을 형성하는 공정과; 상기 결과물의 상부전면에 캡절연막을 형성하고, 상기 제2폴리실리콘층이 노출될때까지 평탄화한 다음 상기 결과물의 상부전면에 층간절연막을 형성하고, 상기 제2폴리실리콘층이 노출될때까지 평탄화한 다음 상기 결과물의 상부전면에 캡절연막을 형성하는 공정과; 상기 제1폴리실리콘층 상부에 순차적으로 제2폴리실리콘층과 식각저지막을 순차적으로 제거하는 공정과; 상기 제1폴리실리콘층 상부에 순차적으로 배리어층과 텅스텐층을 형성하는 공정과; 상기 결과물의 상부전면에 캡절연층을 형성한 다음 상기 층간절연막이 노출될때까지 평탄화하는 공정을 구비하여 이루어지는 것을 특징으로 하는 반도체소자의 게이트 형성방법.

청구항 2. 제 1 항에 있어서, 상기 식각저지막은 질화막을 증착하여 형성하는 것을 특징으로 하는 반도체소자의 게이트 형성방법.

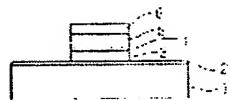
청구항 3. 제 1 항에 있어서, 상기 배리어층과 텅스텐층은 상기 제1폴리실리콘층이 노출된 구조물의 상부전면에 순차적으로 형성한 다음 에치-백하여 상기 층간절연막 상에 형성된 텅스텐층과 배리어층을 제거하여 형성하는 것을 특징으로 하는 반도체소자의 게이트 형성방법.

도면

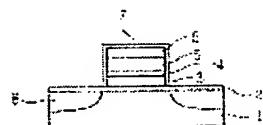
도면 A



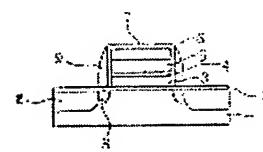
도면 6



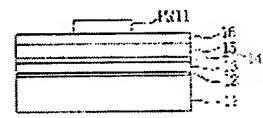
도면 7



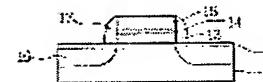
도면 8



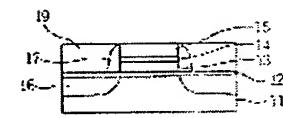
도면 9



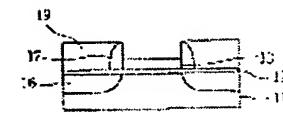
도면 10



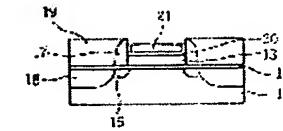
도면 11



도면 12



도면 13



도면2

